

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年 9月25日
Date of Application:

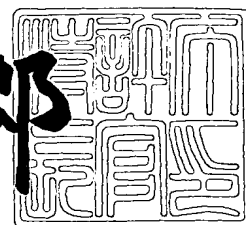
出願番号 特願2002-278724
Application Number:
[ST. 10/C]: [JP2002-278724]

出願人 株式会社半導体エネルギー研究所
Applicant(s):

2003年 7月 8日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3053773

【書類名】 特許願

【整理番号】 P006625

【提出日】 平成14年 9月25日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 納 光明

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロックドインバータ及びシフトレジスタ

【特許請求の範囲】

【請求項 1】

直列に接続された第 1 及び第 2 トランジスタを有するクロックドインバータにおいて、

直列に接続された第 3 及び第 4 トランジスタで構成される補償回路を有し、

前記第 3 トランジスタのゲート及び前記第 4 トランジスタのゲートは互いに接続され、

前記第 3 トランジスタのドレイン及び前記第 4 トランジスタのドレインは、前記第 1 トランジスタのゲートに接続され、

前記第 1 及び前記第 4 トランジスタのソースは電氣的に高電位電源に接続され、

前記第 2 トランジスタのソースは電氣的に低電位電源に接続され、

前記第 3 トランジスタのソースに入力される信号の振幅は電源電圧の幅よりも小さく、

前記第 1 及び前記第 4 トランジスタは P 型トランジスタであり、前記第 2 及び前記第 3 トランジスタは N 型トランジスタであることを特徴とするクロックドインバータ。

【請求項 2】

直列に接続された第 1 及び第 2 トランジスタを有するクロックドインバータにおいて、

直列に接続された第 3 及び第 4 トランジスタで構成される補償回路を有し、

前記第 3 トランジスタのゲート及び前記第 4 トランジスタのゲートは互いに接続され、

前記第 3 トランジスタのドレイン及び前記第 4 トランジスタのドレインは、前記第 1 トランジスタのゲートに接続され、

前記第 1 及び前記第 4 トランジスタのソースは電氣的に低電位電源に接続され、

前記第2トランジスタのソースは電氣的に高電位電源に接続され、

前記第3トランジスタのソースに入力される信号の振幅は電源電圧の幅よりも小さく、

前記第1及び前記第4トランジスタはN型トランジスタであり、前記第2及び前記第3トランジスタはP型トランジスタであることを特徴とするクロックドインバータ。

【請求項3】

直列に接続された第1乃至第3トランジスタを有するクロックドインバータにおいて、

直列に接続された第4及び第5トランジスタで構成される補償回路を有し、

前記第4トランジスタのゲート及び前記第5トランジスタのゲートは互いに接続され、

前記第4トランジスタのドレイン及び前記第5トランジスタのドレインは、前記第1トランジスタのゲートに接続され、

前記第1及び前記第5トランジスタのソースは電氣的に高電位電源に接続され、

前記第3トランジスタのソースは電氣的に低電位電源に接続され、

前記第4トランジスタのソースに入力される信号の振幅は電源電圧の幅よりも小さく、

前記第1及び前記第5トランジスタはP型トランジスタであり、前記第2乃至前記第4トランジスタはN型トランジスタであることを特徴とするクロックドインバータ。

【請求項4】

直列に接続された第1乃至第3トランジスタを有するクロックドインバータにおいて、

直列に接続された第4及び第5トランジスタで構成される補償回路を有し、

前記第4トランジスタのゲート及び前記第5トランジスタのゲートは互いに接続され、

前記第4トランジスタのドレイン及び前記第5トランジスタのドレインは、前

記第1トランジスタのゲートに接続され、

前記第1及び前記第5トランジスタのソースは電氣的に低電位電源に接続され

、
前記第3トランジスタのソースは電氣的に高電位電源に接続され、

前記第4トランジスタのソースに入力される信号の振幅は電源電位の幅よりも小さく、

前記第1及び前記第5トランジスタはN型トランジスタであり、前記第2乃至前記第4トランジスタはP型トランジスタであることを特徴とするクロックドインバータ。

【請求項5】

請求項1又は請求項2において、前記第3トランジスタをアナログスイッチに置換することを特徴とするクロックドインバータ。

【請求項6】

請求項3又は請求項4において、前記第4トランジスタをアナログスイッチに置換することを特徴とするクロックドインバータ。

【請求項7】

直列に接続された第1乃至第3トランジスタを有するクロックドインバータと、直列に接続された第4及び第5トランジスタを備えた補償回路を有するシフトレジスタであって、

前記第1及び前記第5トランジスタのソースは電氣的に低電位電源に接続され

、
前記第3トランジスタのソースは高電位電源に接続され、

前記第1トランジスタのゲートは前記補償回路の出力端子に接続され、

第n段に配置された前記補償回路の入力端子には第(n-1)段で発生したパルスが入力され、

第n段に配置された前記第4トランジスタのソースには第(n-2)段で発生したパルスが入力され、

前記第1及び前記第5トランジスタはN型トランジスタであり、前記第2乃至前記第4トランジスタはP型トランジスタであることを特徴とするシフトレジス

タ。

【請求項 8】

直列に接続された第 1 乃至第 3 トランジスタを備えたクロックドインバータと、直列に接続された第 4 及び第 5 トランジスタを備えた補償回路を有するシフトレジスタにおいて、

前記第 1 及び前記第 5 トランジスタのソースは電氣的に高電位電源に接続され、

前記第 3 トランジスタのソースは電氣的に低電位電源に接続され、

前記第 1 トランジスタのゲートは前記補償回路の出力端子に接続され、

第 n 段に配置された前記補償回路の入力端子には第 $(n-1)$ 段で発生したパルスが入力され、

第 n 段に配置された前記第 4 トランジスタのソースには第 $(n-2)$ 段で発生したパルスが入力され、

前記第 1 及び前記第 5 トランジスタは P 型トランジスタであり、前記第 2 乃至前記第 4 トランジスタは N 型トランジスタであることを特徴とするシフトレジスタ。

【請求項 9】

直列に接続された第 1 乃至第 3 トランジスタを備えたクロックドインバータと、直列に接続された第 4 及び第 5 トランジスタを備えた補償回路を有するシフトレジスタにおいて、

前記第 1 及び前記第 5 トランジスタのソースは電氣的に高電位電源に接続され、

前記第 3 トランジスタのソースは電氣的に低電位電源に接続され、

前記第 1 トランジスタのゲートは前記補償回路の出力端子に接続され、

第 n 段に配置された前記補償回路の入力端子には第 $(n-1)$ 段で発生したパルスが入力され、

第 n 段に配置された前記第 4 トランジスタのソースはクロック信号が入力され、

前記第 1 及び前記第 5 トランジスタは P 型トランジスタであり、前記第 2 乃至

前記第4トランジスタはN型トランジスタであることを特徴とするシフトレジスタ。

【請求項10】

直列に接続された第1乃至第3トランジスタを備えたクロックドインバータと、直列に接続された第4及び第5トランジスタを備えた補償回路を有するシフトレジスタにおいて、

前記第1及び前記第5トランジスタのソースは電氣的に低電位電源に接続され、

前記第3トランジスタのソースは高電位電源に接続され、

前記第1トランジスタのゲートは前記補償回路の出力端子に接続され、

第n段に配置された前記補償回路の入力端子には第(n-1)段で発生したパルスが入力され、

第n段に配置された前記第4トランジスタのソースはクロック信号が入力され、

前記第1及び前記第5トランジスタはN型トランジスタであり、前記第2乃至前記第4トランジスタはP型トランジスタであることを特徴とするシフトレジスタ。

【請求項11】

請求項7乃至請求項10のいずれか一項において、前記第4トランジスタをアナログスイッチに置換することを特徴とするシフトレジスタ。

【請求項12】

請求項7乃至請求項10のいずれか一項において、前記第2トランジスタを削除することを特徴とするシフトレジスタ。

【請求項13】

直列に接続された第1クロックドインバータ及びインバータ、並びに前記インバータとループを構成する第2クロックドインバータを有する段が複数設けられたシフトレジスタにおいて、

第n段から発生するパルスを用いて、前記第n段に配置されたトランジスタを動作させ、前記第n段のパルスの立ち上がり、立ち下がりを助けることを特徴と

するシフトレジスタ。

【請求項 14】

直列に接続された第1クロックドインバータ及びインバータ、並びに前記インバータとループを構成する第2クロックドインバータを有する段が複数設けられたシフトレジスタにおいて、

前記第1クロックドインバータを構成する第1トランジスタの電流能力は、前記第2クロックドインバータを構成する第2トランジスタの電流能力よりも弱く、

前記第1クロックドインバータを構成するトランジスタのリーク電流による誤動作を抑制して、前記第2クロックドインバータから出力される信号がVDD及びVSSの一方から他方に切り替わることを特徴とするシフトレジスタ。

【請求項 15】

直列に接続された第1及び第2トランジスタを備えた第1クロックドインバータと、前記第1クロックドインバータとループを構成するインバータと、N型トランジスタ及びアナログスイッチを備えた補償回路とを有する段が複数設けられたシフトレジスタにおいて、

前記第1トランジスタはP型トランジスタであり、前記第2トランジスタはN型トランジスタであり、

前記第1トランジスタのゲートは前記インバータの出力端子に接続され、ソースは電氣的に高電位電源に接続され、

前記第2トランジスタのゲートには、前記N型トランジスタのドレイン及び前記アナログスイッチを介してクロック信号線に接続され、ソースは低電位電源に接続され、

前記アナログスイッチは、前記インバータの入力及び出力により制御されることを特徴とするシフトレジスタ。

【請求項 16】

直列に接続された第1及び第2トランジスタを備えた第1クロックドインバータと、前記第1クロックドインバータとループを構成するインバータと、P型トランジスタ及びアナログスイッチを備えた補償回路とを有する段が複数設けられ

たシフトレジスタにおいて、

前記第 1 トランジスタは N 型トランジスタであり、前記第 2 トランジスタは P 型トランジスタであり、

前記第 1 トランジスタのゲートは前記インバータの出力端子に接続され、ソースは電氣的に低電位電源に接続され、

前記第 2 トランジスタのゲートは前記 P 型トランジスタのドレイン及び前記アナログスイッチを介してクロック信号線に接続され、ソースは高電位電源に接続され、

前記アナログスイッチは、前記インバータの入力及び出力により制御されることを特徴とするシフトレジスタ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、クロックドインバータに係る技術分野に関する。またクロックドインバータを単位回路として構成したシフトレジスタに係る技術分野に関する。さらに、NAND、NORなどの電気回路に係る技術分野に属する。

【0 0 0 2】

【従来の技術】

近年、液晶表示装置や発光装置などの表示装置は、携帯機器向けの需要の増加から、活発に開発が進められている。特に絶縁体上に多結晶半導体（ポリシリコン）により形成されたトランジスタを用いて、画素及び駆動回路（以下内部回路と表記）を一体形成する技術は、小型化及び低消費電力化に大きく貢献するため、活発に開発が進められている。絶縁体上に形成された内部回路は、F P C 等を介してコントローラ I C 等（以下外部回路と表記）と接続され、その動作が制御される。

【0 0 0 3】

内部回路の電源電位は通常 1 0 V 程度であり、一方、外部回路を構成する I C は、内部回路よりも低い電源電位で動作するため、通常 3 V 程度の振幅の信号を作成する。この 3 V 程度の振幅の信号を用いて内部回路を正確に動作させるため

に、各段にレベルシフト部を配置した構成のシフトレジスタがある（例えば、特許文献1参考）。

【0004】

【特許文献1】 特開2000-339985号公報（第3-6頁参照）

【0005】

なお図11（A）はクロックドインバータの回路図、図11（B）はクロックドインバータのロジックシンボル、図11（C）はNANDの回路図、図11（D）NORの回路図を示す。

【0006】

【発明が解決しようとする課題】

内部回路でレベルシフトしようとする、駆動回路の占有面積の増大、波形の遅延や鈍りから周波数特性の低下等の問題を生じる。更に、特許文献1のように、電流駆動型のレベルシフタを使用すると、TFT特性の隣接間バラツキを抑制する必要がある。また、外部回路にレベルシフタを配置すると、IC等の部品数の増加から筐体の大型化、作製費用の増加、レベルシフトによる消費電力の増加等の問題が発生する。従って、3V程度の振幅の信号をレベルシフトせずに用いることが好ましい。

【0007】

よって、本発明は、上述の実情を鑑み、外部回路にレベルシフタを配置せずに上記シフトレジスタを提供することで、筐体の小型化、作製費用の削減、消費電力の削減を実現することを課題とする。さらに内部回路にレベルシフタを配置せずに上記シフトレジスタを提供することで、CKの波形の遅延や鈍りの問題、内部回路に配置された電源線の電圧降下の問題を解決し、内部回路における駆動回路の占有面積の小型化、消費電力の削減、高周波数動作を実現することを課題とする。

【0008】

また、TFTは、作製工程や使用する基板の相違によって生じるゲート長及びゲート幅並びにゲート絶縁膜の膜厚バラツキ等に起因して、そのしきい値電圧にバラツキが生じ、想定していた値と異なる場合がある。この場合、「1」と「0

」の2つの論理レベルを扱うデジタル回路では、3 V程度の小さい振幅の信号を用いると、しきい値バラツキの影響を受けて、正確に動作しない場合が生じる。

【0009】

よって、TFTの特性バラツキによる影響を緩和して、正確に動作を行うシフトレジスタを提供することを課題とする。

【0010】

また、従来のNAND、NORに対して、低入力負荷かつ高出力能力をもつNAND、NORを提供することを課題とする。

【0011】

【課題を解決するための手段】

本発明は、上述の課題を解決し、回路の電源電圧幅より小さい電圧振幅の信号をレベルシフトせずに動作することができ、TFTの特性バラツキにも強く、高周波数動作、低電圧動作可能なシフトレジスタを提供する。また、低入力負荷かつ高出力能力をもつNAND、NORを提供する。

【0012】

本発明は、直列に接続された第1及び第2トランジスタを有するクロックインバータにおいて、

直列に接続された第3及び第4トランジスタで構成される補償回路を有し、

前記第3トランジスタのゲート及び前記第4トランジスタのゲートは互いに接続され、

前記第3トランジスタのドレイン及び前記第4トランジスタのドレインは、前記第1トランジスタのゲートに接続され、

前記第1及び前記第4トランジスタのソースは電氣的に高電位電源に接続され、

前記第2トランジスタのソースは電氣的に低電位電源に接続され、

前記第3トランジスタのソースに入力される信号の振幅は電源電圧の幅よりも小さく、

前記第1及び前記第4トランジスタはP型トランジスタであり、前記第2及び

前記第 3 トランジスタは N 型トランジスタであることを特徴とする。

【0 0 1 3】

本発明は、直列に接続された第 1 及び第 2 トランジスタを有するクロックドインバータにおいて、

直列に接続された第 3 及び第 4 トランジスタで構成される補償回路を有し、

前記第 3 トランジスタのゲート及び前記第 4 トランジスタのゲートは互いに接続され、

前記第 3 トランジスタのドレイン及び前記第 4 トランジスタのドレインは、前記第 1 トランジスタのゲートに接続され、

前記第 1 及び前記第 4 トランジスタのソースは電氣的に低電位電源に接続され、

前記第 2 トランジスタのソースは電氣的に高電位電源に接続され、

前記第 3 トランジスタのソースに入力される信号の振幅は電源電圧の幅よりも小さく、

前記第 1 及び前記第 4 トランジスタは N 型トランジスタであり、前記第 2 及び前記第 3 トランジスタは P 型トランジスタであることを特徴とする。

【0 0 1 4】

本発明は、直列に接続された第 1 乃至第 3 トランジスタを有するクロックドインバータと、直列に接続された第 4 及び第 5 トランジスタを備えた補償回路を有するシフトレジスタであって、

前記第 1 及び前記第 5 トランジスタのソースは電氣的に低電位電源に接続され、

前記第 3 トランジスタのソースは高電位電源に接続され、

前記第 1 トランジスタのゲートは前記補償回路の出力端子に接続され、

第 n 段に配置された前記補償回路の入力端子には第 $(n-1)$ 段で発生したパルスが入力され、

第 n 段に配置された前記第 4 トランジスタのソースには第 $(n-2)$ 段で発生したパルスが入力され、

前記第 1 及び前記第 5 トランジスタは N 型トランジスタであり、前記第 2 乃至

前記第4トランジスタはP型トランジスタであることを特徴とする。

【0015】

なおシフトレジスタの1段は、第1のクロックドインバータ及びインバータ、並びに前記インバータの出力と入力をつなぐループを構成する、第2のクロックドインバータを有する。第(n-1)段で発生するパルスとは、第1のクロックドインバータの出力とインバータの出力にインバータを1つ付け足したもののどちらかに相当する。なお、論理演算に誤りがなく、動作に支障がなく、なおかつ遅延が半クロック以内であれば、1段を構成する第1のクロックドインバータ及びインバータにインバータを1つ付け足したものに、直列に接続された1つ又は複数のインバータを新たに接続させてもよい。また、第(n-2)段で発生するパルスとは、第1のクロックドインバータの出力とインバータにインバータを1つ付け足したものの出力のどちらかに相当する。

【0016】

本発明は、直列に接続された第1乃至第3トランジスタを備えたクロックドインバータと、直列に接続された第4及び第5トランジスタを備えた補償回路を有するシフトレジスタにおいて、

前記第1及び前記第5トランジスタのソースは電氣的に高電位電源に接続され、

前記第3トランジスタのソースは電氣的に低電位電源に接続され、

前記第1トランジスタのゲートは前記補償回路の出力端子に接続され、

第n段に配置された前記補償回路の入力端子には第(n-1)段で発生したパルスが入力され、

第n段に配置された前記第4トランジスタのソースには第(n-2)段で発生したパルスが入力され、

前記第1及び前記第5トランジスタはP型トランジスタであり、前記第2乃至前記第4トランジスタはN型トランジスタであることを特徴とする。

【0017】

本発明は、直列に接続された第1乃至第3トランジスタを備えたクロックドインバータと、直列に接続された第4及び第5トランジスタを備えた補償回路を有

するシフトレジスタにおいて、

前記第 1 及び前記第 5 トランジスタのソースは電氣的に高電位電源に接続され

、

前記第 3 トランジスタのソースは電氣的に低電位電源に接続され、

前記第 1 トランジスタのゲートは前記補償回路の出力端子に接続され、

第 n 段に配置された前記補償回路の入力端子には第 $(n-1)$ 段で発生したパルスが入力され、

第 n 段に配置された前記第 4 トランジスタのソースはクロック信号が入力され

、

前記第 1 及び前記第 5 トランジスタは P 型トランジスタであり、前記第 2 乃至前記第 4 トランジスタは N 型トランジスタであることを特徴とする。

【0018】

本発明は、直列に接続された第 1 乃至第 3 トランジスタを備えたクロックドインバータと、直列に接続された第 4 及び第 5 トランジスタを備えた補償回路を有するシフトレジスタにおいて、

前記第 1 及び前記第 5 トランジスタのソースは電氣的に低電位電源に接続され

、

前記第 3 トランジスタのソースは電氣的に高電位電源に接続され、

前記第 1 トランジスタのゲートは前記補償回路の出力端子に接続され、

第 n 段に配置された前記補償回路の入力端子には第 $(n-1)$ 段で発生したパルスが入力され、

第 n 段に配置された前記第 4 トランジスタのソースはクロック信号が入力され

、

前記第 1 及び前記第 5 トランジスタは N 型トランジスタであり、前記第 2 乃至前記第 4 トランジスタは P 型トランジスタであることを特徴とする。

【0019】

本発明は、直列に接続された第 1 及び第 2 トランジスタを備えた第 1 クロックドインバータと、前記第 1 クロックドインバータとループを構成するインバータと、N 型トランジスタ及びアナログスイッチを備えた補償回路とを有する段が複

数設けられたシフトレジスタにおいて、

前記第 1 トランジスタは P 型トランジスタであり、前記第 2 トランジスタは N 型トランジスタであり、

前記第 1 トランジスタのゲートは前記インバータの出力端子に接続され、ソースは電氣的に高電位電源に接続され、

前記第 2 トランジスタのゲートには、前記 N 型トランジスタのドレイン及び前記アナログスイッチを介してクロック信号線に接続され、ソースは低電位電源に接続され、

前記アナログスイッチは、前記インバータの入力及び出力により制御されることを特徴とする。

【 0 0 2 0 】

本発明は、直列に接続された第 1 及び第 2 トランジスタを備えた第 1 クロックドインバータと、前記第 1 クロックドインバータとループを構成するインバータと、P 型トランジスタ及びアナログスイッチを備えた補償回路とを有する段が複数設けられたシフトレジスタにおいて、

前記第 1 トランジスタは N 型トランジスタであり、前記第 2 トランジスタは P 型トランジスタであり、

前記第 1 トランジスタのゲートは前記インバータの出力端子に接続され、ソースは電氣的に低電位電源に接続され、

前記第 2 トランジスタのゲートは前記 P 型トランジスタのドレイン及び前記アナログスイッチを介してクロック信号線に接続され、ソースは高電位電源に接続され、

前記アナログスイッチは、前記インバータの入力及び出力により制御されることを特徴とする。

【 0 0 2 1 】

上記構成を有する本発明は、TFT のしきい値のバラツキによる影響を緩和して、電源電圧幅より小さい振幅の信号を用いる場合においても、正確に動作を行うクロックドインバータ、シフトレジスタを提供する。また、低入力負荷かつ高出力能力をもつ NAND、NOR を提供する。

【 0 0 2 2 】

また外部回路にレベルシフタを配置せずに構成することで、筐体の小型化、作製費用の削減、消費電力の削減を実現する。さらに内部回路にレベルシフタを配置せずにシフトレジスタを提供することで、CKの波形の遅延や鈍りの問題、内部回路に配置された電源線の電圧降下の問題を解決し、内部回路における駆動回路の占有面積の小型化、消費電力の削減、高周波数動作を実現する。

【 0 0 2 3 】**【発明の実施の形態】****(実施の形態 1)**

本発明の実施の形態について、図 1 を用いて説明する。ここでは、一例として、CKのHレベルの信号は5V、Lレベルの信号は2V、VDDは7V、VSSは0Vである。つまり、CKの振幅は3V、電源電圧幅は7Vとする。

【 0 0 2 4 】

本発明の第 1 の構成について、図 1 (A) を用いて説明する。図 1 (A) には、第 n 段に配置されたシフトレジスタの 1 段分の回路図を示す。1 段は直列に接続された T F T 1 1 ~ 1 3 を備えたクロックドインバータ 1 0、直列に接続された T F T 1 4 a 及 1 5 a を備えた補償回路 1 9 a、インバータ 1 6 及びクロックドインバータ 1 7 から構成される。シフトレジスタは、この 1 段の回路を縦続接続して構成され、各段で C K 及び C K B の信号が交互に入力される。

【 0 0 2 5 】

T F T 1 1 のゲートにはクロック信号線が接続され、CKが入力される。T F T 1 2 のゲートにはスタートパルス又は (n-1) 段に配置されたクロックドインバータ 1 6 の出力 (図では信号 S と表記)、T F T 1 4 a、1 5 a のゲートには信号 S の反転信号 (図では信号 S B と表記)、T F T 1 4 a のソースには (n-2) 段に配置されたクロックドインバータ 1 0 の出力が入力される。なお図中、(n-2) 段に配置されたクロックドインバータ 1 0 の出力は、2 段前と表記する。

【 0 0 2 6 】

本発明では、補償回路 1 9 において、互いに接続された T F T 1 4 a 及び 1 5 a のゲートを入力端子とし、互いに接続された T F T 1 4 a 及び 1 5 a のドレイ

ンを出力端子とする。

【0027】

動作について図1 (B) のタイミングチャートに従って説明する。図1 (B) ではクロック信号の半周期をTと表記し、ここでは期間T1、T2における動作について説明する。

【0028】

期間T1において、2段前の信号はVSS、信号SはVDD、信号SBはVSS、CKはHレベル(5V)であるので、TFT12はオフ、TFT14aはオン、TFT15aはオフになる。このとき、VDDがインバータ16とクロックドインバータ17によって構成されたループにより保持され、OUTにはVDDが出力される。

【0029】

そして、期間T1から期間T2に移り、2段前の信号がVSSからVDDに変わる。信号SはVDD、信号SBはVSS、CKはLレベル(2V)である。そうすると、TFT12はオフ、TFT14aはオン、TFT15aはオフになる。この場合、TFT13のゲートに入力される信号はVDDに変わり、TFT13はオフからオンに変わる。そうすると、OUTにはVSSが出力される。本発明では、信号がVDDからVSSに変化する動作を立ち下がりと言ふ。

【0030】

次いで、本発明の第2の構成について、図1 (C) を用いて説明する。図1 (C) には、第n段に配置されたシフトレジスタの1段分の回路図を示す。上記第1の構成との相違点は、直列に接続されたTFT14b及び15bを備えた補償回路19bがTFT11のゲートに接続された点、P型TFT12を削除してN型TFT18が配置された点、TFT15bのソースには(n-2)段に配置されたクロックドインバータ10の出力が入力される点、TFT18のゲートには信号Sが入力される点、TFT13のゲートにはクロック信号線が接続され、CKが入力される点である。

【0031】

次いで期間T1、T2における動作について、図1 (D) のタイミングチャートに従って説明する。但し、第2の構成の動作は、上記の第1の構成の説明に準ずるので、簡単に説明する。

【0032】

期間 T1 において、OUT には VSS が出力される。期間 T1 から期間 T2 に移り、2 段前の信号が VDD から VSS に変わる。そうすると、2 段前の信号が TFT11 のゲートに入力されて、TFT11 はオンになる。一方、TFT18 はオフであるので、OUT には VDD が出力される。本発明では、信号が VSS から VDD に変化する動作を立ち上がりとよぶ。

【0033】

上記の第1の構成を有する本発明は立ち下がりに大変有効であり、また上記の第2の構成を有する本発明は立ち上がりに大変有効であり、以下の(1)の効果を奏する。

(1) 図1(A)におけるTFT14a、図1(C)におけるTFT15bのソースに、CKをそのまま入力する場合、その振幅が小さいために、前記TFTが早めにオンしてしまう問題が生じていた。より詳しくは、図1(B)の170、図1(D)の171に示すような波形の信号が生成されてしまう問題が生じていた。リーク電流が大きいときにはパルスがシフトしなくなる。しかしながら、本発明では2段前の信号を用いることで、前記TFTが早めにオンすることなく、所望のタイミングでオンさせることができる。

【0034】

また上記の第1又は第2の構成を有する本発明は、上記(1)以外にも、以下の(2)(3)の有利な効果を奏する。

(2) 通常、クロックインバータは、直列に接続された2つのN型TFTと、直列に接続された2つのP型TFTの合わせて4つのTFTにより構成される。そして、従来では、オン電流を稼ぐ関係から、前記直列に接続された2つのTFTのゲート幅(W)は大きく設定されていた。そのため、そのゲートを負荷とするTFTのゲート幅も大きく設定する必要が生じ、結果的に全体として負荷が大きく、高周波動作の妨げとなっていた。しかしながら、本発明は、ダブルゲートのTFT(直列に接続された2つのTFT)をシングルゲートのTFTに変えることができる。例えば、図1(A)の構成では、従来直列に接続された2つのN型TFTの配置が必要であったが、本発明では1つのN型TFT13により構成される。その結果、本発明では、

TFTのゲート幅を大きく設定する必要はなく、またTFTのサイズを小さくすることができるため、高集積化が可能となる。さらに、そのゲート（ゲート容量）を負荷とする素子の負担を軽減し、全体としても負荷が小さくなるため、高周波動作が可能となる。

（３）また、直列に接続された同じ導電型の２つのTFTは、その電流能力（パワー）が弱かった。しかし本発明では、ダブルゲートのTFTをシングルゲートのTFTに変えることができるため、構成するTFTの電流能力を強くすることができる。例えば、図１（Ａ）の構成ではN型TFT 13、図１（Ｃ）の構成ではP型TFT 11の電流能力を強くすることができる。

【0035】

上述の通り図１の構成は立ち下がり、立ち上がりに大変有効である。しかしながら図１（Ａ）（Ｂ）において、期間T3に移るとSがVSS、SBがVDD、CKがHレベルになり、TFT 12がオン、TFT 13がオフ、TFT 11がそのしきい値によりオン又はオフする。仮にTFT 11のしきい値が所望の値よりも低いとすると、TFT 11がオンしてしまい、シフトレジスタが正確な動作を行わない場合がある。

【0036】

そこで、期間T3においてOUTがVSSの保持に有効である構成を本発明の第３の構成として提案する。

【0037】

本発明の第３の構成について、図２（Ａ）を用いて説明する。図２（Ａ）には、第n段に配置されたシフトレジスタの１段分の回路図を示す。１段は直列に接続されたTFT 11及13を備えたクロックドインバータ10、直列に接続されたTFT 14a及15aを備えた補償回路19a、TFT 14b及15bを備えた補償回路19b、インバータ16、TFT 22～25を備えたクロックドインバータ17から構成される。シフトレジスタは、この１段の回路を縦続接続して構成され、各段でCK及びCKBが交互に入力される。図２（Ａ）の構成と上記図１（Ａ）の構成の相違点は、TFT 12が削除され、TFT 11のゲートに補償回路19bの出力、補償回路19bの入力にSB、TFT 14bのソースにVDD、TFT 15bのソースにCKがそれぞれ接続され、TFT 24及びTFT 25の電流能力が高くなるようチャネル幅

が大きく設定されている点である。

【0038】

期間T1、T2における図2(A)の構成の動作について、図2(B)のタイミングチャートに従って説明する。

【0039】

期間T1では、2段前の信号はVDD、信号SBはVSS、クロック信号CKはLレベルであるので、TFT14aはオン、TFT15aはオフ、TFT13はオン、TFT14bはオン、TFT15bはオフ、TFT11はオフする。したがって、OUTにはVSSが出力される。

【0040】

次いで、期間T2において、2段前の信号はVDD、信号SBはVDD、クロック信号CKはHレベルであるので、TFT13はオフ、TFT11はオン又はオフする。このとき、OUTのVSSがインバータ16とクロックドインバータ17によって構成されたループにより保持され、OUTにはVSSが出力され続ける。なお本発明では、期間T2における動作を保持とよぶ。本構成は、保持に大変有効であり、以下には、期間T2における保持の動作について、より詳しく説明する。

【0041】

期間T2において、信号SBはVDD(7V)である。TFT15bは、信号SBがVDD(7V)、CKがHレベル(5V)の条件下では、そのVGSは2Vとなる。

【0042】

このとき、TFT15bのしきい値電圧(I_{VTH})が2V以下であれば、TFT15bはオンして、CK(Hレベル、5V)がTFT11のゲートに入力される。TFT11は、そのしきい値電圧に従って、オン又はオフが決定される。

仮にTFT11がオンすると、OUTからVDDを出力しようとする。しかしVSSを保持するクロックドインバータ17のTFT24及びTFT25の電流能力が高くなるように設定されているため、結果的にはVSSが出力され、論理的に正確な動作を行う。これは、図2(B)のタイミングチャート中の波形172に示すように、OUTから出力される信号が正確に保持されず、所望のタイミングよりも早めにVSSからVDDに切り替わってしまうことを防ぐ。

【0043】

また、上記のように正確な動作を行ったとしても、オフしたいP型TFT11がオンしているため、VDD-VSS間にリーク電流が流れてしまい、消費電流が増加するという問題が生じる。このような場合には、図2（A）に図示するように、TFT14b及び15bのゲートにインバータ20、21を接続させるとよい。そうすると、図2（B）の波形174に示すように信号SBを遅延させることができるため、TFT15bがオンするタイミングを遅延させ、結果的にリーク電流が流れるタイミングを遅延させることができる。なお接続するインバータの個数は論理が異なる限り特に限定されないが、遅延の度合いはCKの半周期以下に設定する。

【0044】

一方、TFT11又はTFT15bのしきい値電圧（ $|V_{TH}|$ ）が2V以上であれば、TFT15bはオンせずに、リーク電流は発生しない。リーク電流の発生を防ぐことが出来れば、消費電流が増加することはない。また、OUTに出力される信号の波形が所望のタイミングより早く立ち上がることが無く、安定した波形の信号を生成する。

【0045】

また、図1（C）（D）の期間T3においても、N型TFT15bのしきい値が所望の値よりも低く、オンしてしまい、OUTのVDDを保持できず、シフトレジスタが正確な動作を行わない場合がある。

【0046】

そこで、期間T3においてOUTのVDDの保持に有効である構成を本発明の第4の構成として提案する。

【0047】

本発明の第4の構成について、図2（C）を用いて説明する。図2（C）には、第n段に配置されたシフトレジスタの1段分の回路図を示す。上記第2の構成との相違点は、TFT18が削除され、TFT13のゲートに補償回路19aの出力、補償回路19aの入力にSB、TFT14aのソースにCK、TFT15aのソースにVSSがそれぞれ接続され、TFT22及びTFT23の電流能力が高くなるようチャネル幅

が大きく設定されている点である。

【 0 0 4 8 】

次いで、期間 T 1、T 2 における動作について図 2 (D) のタイミングチャートに従って説明する。但し、図 2 (C) の構成の動作は、上述した図 2 (A) の構成の動作の説明に準ずるので、簡単に説明する。

【 0 0 4 9 】

期間 T 1 では、2 段前の信号は VSS、信号 SB は VDD、クロック信号 CK は H レベルであるので、TFT 1 4 b はオフ、TFT 1 5 b はオン、TFT 1 1 はオンする。OUT には VDD が出力される。

【 0 0 5 0 】

次いで、期間 T 2 において、2 段前の信号は VSS、信号 SB は VSS、クロック信号 CK は L レベルであるので、TFT 1 1 はオフ、TFT 1 3 はオン又はオフする。このとき、OUT の VDD がインバータ 1 6 とクロックドインバータ 1 7 によって構成されたループにより保持され、OUT には VDD が出力され続ける。本構成は、保持に大変有効であり、以下には期間 T 2 における動作について、より詳しく説明する。

【 0 0 5 1 】

期間 T 2 において、信号 SB は VSS (0 V) である。また TFT 1 4 a は、信号 SB が VSS (0 V) 、CK が L レベル (2 V) の条件下では、その VGS は $|2 V|$ となる。

【 0 0 5 2 】

このとき、TFT 1 4 a のしきい値電圧 ($|V_{TH}|$) が 2 V 以下であれば、TFT 1 4 a はオンして、CK (L レベル、2 V) が TFT 1 3 のゲートに入力される。TFT 1 3 は、そのしきい値電圧に従って、オン又はオフが決定される。

仮に TFT 1 3 がオンすると、OUT から VSS を出力しようとする。しかし、VDD を保持するクロックドインバータ 1 7 の TFT 2 2 及び TFT 2 3 の電流能力が高くなるように設定されているため、結果的には論理的に正確な動作を行う。これは、図 2 (D) のタイミングチャート中の波形 1 7 3 に示すように、OUT から出力される信号が正確に保持されず、所望のタイミングよりも早めに VDD から VSS に切り替わってしまうことを防ぐ。

【 0 0 5 3 】

また、上記のように正確な動作を行ったとしても、オフにしたいN型TFT13がオンしているため、VDD-VSS間にリーク電流が流れてしまい、消費電流が増加するという問題が生じる。このような場合には、図2(C)に図示するように、TFT14a及び15aのゲートにインバータ20、21を接続させるとよい。そうすると、図2(D)の波形175に示すように信号SBを遅延させることができるため、P型TFT14aがオンするタイミングを遅延させ、結果的にリーク電流が流れるタイミングを遅延させることができる。なお接続するインバータの個数は論理が異ならない限り特に限定されないが、遅延の度合いはCKの半周期以下に設定する。

【0054】

一方、TFT13又はTFT14aののしきい値電圧(|VTH|)が2V以上であれば、TFT13はオンせずに、リーク電流は発生しない。リーク電流の発生を防ぐことが出来れば、消費電流が増加することはない。また、OUTに出力される信号の波形が所望のタイミングより早くオンすることが無く、安定した波形の信号を生成する。

【0055】

以上をまとめると、上記第3又は第4の構成を有する本発明は、保持に大変有効であり、以下の(4)(5)の効果を奏する。

(4) 図2(A)の構成ではTFT15b、図2(C)の構成ではTFT14aののしきい値電圧(|VTH|)が所望の値(2V)以下の場合には、補償回路19a又は19bの出力端子に複数のインバータを接続させるとよい。そうすると、前記TFTののしきい値電圧が所望の値以下であっても、リーク電流が発生するタイミングを遅延させることができる。

(5) また、従来では、オフにしたいTFTがオンしてしまうためにVDD-VSS間にリーク電流が流れ、消費電流が増加する問題が生じていた。例えば、図2(A)の構成ではP型TFT11、図2(C)の構成ではN型TFT13を本来はオフにしたいが、オンになっていた。しかし、本発明では、図2(A)の構成ではTFT11又はTFT15b、図2(C)の構成ではTFT13又はTFT14aののしきい値電圧(|VTH|)が所望の値(2V)以上の場合ならば、リーク電流の発生を抑制することがで

きる。

【0056】

また、上記第3又は第4の構成を有する本発明は、第1及び第2の構成と同様に、上記の(3)～(5)の有利な効果を奏する。

【0057】

しかしながら、図2(A)(B)において、例えばTFT11がオンしても論理的に正しい動作を行うために、保持用のクロックドインバータ内TFT24、25の電流能力を高くなるよう設定してある。そのため期間T2から期間T3に移り、CKがLレベルに変わってもOUTがVDDまで変化できずに、結果的にシフトレジスタが正確な動作を行わない場合がある。

そこで、保持期間においてもOUTの安定した波形を得、かつ期間T2からT3への立ち上がりには有効な構成を本発明の第5の構成として提案する。

【0058】

続いて、本発明の第5の構成について、図3(A)を用いて説明する。図3(A)には、第n段に配置されたシフトレジスタの1段分の回路図を示す。1段は直列に接続されたTFT11及び13を備えたクロックドインバータ10、TFT14a及び15aを備えた補償回路19a、TFT14b及び15bを備えた補償回路19b、インバータ16、直列に接続されたTFT22～24を備えたクロックドインバータ17、N型TFT34とアナログスイッチ35を備えた補償回路19cから構成される。シフトレジスタは、この1段の回路を縦続接続して構成され、各段でCK及びCKBが交互に入力される。図2(A)との相違点は保持用クロックドインバータ17内のTFT25を削除し、TFT24のゲートに補償回路19cの出力が接続されている点、補償回路の入力にはインバータ16の出力の反転信号、つまりOUTが接続されている点、TFT34のソースにはVSSが接続されている点、アナログスイッチ35のソースにはCKが接続されている点である。

【0059】

TFT22のゲートにはクロックバー信号線が接続され、CKBが入力される。TFT23のゲートにはクロックドインバータ10の出力(OUT)が入力される。また、TFT24の電流能力は大きくなるよう設定されている。より詳しくは、TFT24

の W_{24} (ゲート幅) / L (ゲート長) と TFT 11 の W_{11}/L は、 $W_{24}/L : W_{11}/L = x : y$ とすると、 $x=1$ 、 $y \geq 0.5$ に設定される。

【0060】

期間 T1 ~ T3 における動作について図 3 (B) のタイミングチャートに従って説明する。期間 T1 において、クロックドインバータ 10 からは VSS が出力される。

【0061】

次いで、期間 T2 における動作について説明する。クロックドインバータ 17 において、TFT 22 のゲートには CKB (L レベル、2 V) が入力され、オンになる。TFT 23 のゲートには、OUT の反転信号 (VDD) が入力されてオフになる。TFT 24 のゲートには OUT (VSS) が入力されてオフになる。TFT 24 のゲートにはアナログスイッチ 35 を介して CK (H レベル、5 V) が入力されてオンになる。このとき、TFT 23 がオフし、TFT 24 がオンしているため VSS が出力される。

【0062】

また、クロックドインバータ 10 において、TFT 11 は、オン又はオフである。仮に、TFT 11 がオンであったとしても TFT 24 の電流能力は高いため、期間 T2 では、安定して VSS が出力される。

【0063】

そして、期間 T2 から T3 に移るにあたり、クロックドインバータ 10 の出力は、正確に VSS から VDD に切り替わることが望ましい。しかし、N 型 TFT 24 の電流能力が高いため、図 3 (B) のタイミングチャート中の波形 176 に示すように、VSS から VDD への切り替わりができず、シフトレジスタが正確な動作をおこなわない場合が生ずる。しかし、本発明では、上記のようなことが生じないように、以下の手段を講じる。

【0064】

クロックドインバータ 10 では、期間 T2 から T3 に移るにあたり、その出力を VSS (0 V) から VDD (7 V) に切り替えようとする。しかし、クロックドインバータ 17 が有する N 型 TFT 24 の電流能力が大きいために、TFT 11 にかかる V_{GS} が 2 V から 5 V に変わり、VDD を OUT に出力しようとするが、0 V から 7 V ま

であげられない場合がある。そうすると、インバータ 1 6 の出力も 0 V にならないため、保持用のクロックドインバータ 1 7 には 7 V が入り続け、TFT 2 3 と TFT 2 4 のオン、オフが入れ替わらずに、OUT には VSS (0 V) が出力され続け、シフトレジスタが正確な動作を行わない。

【0 0 6 5】

しかし、本発明では、クロックドインバータ 1 0 の出力が VSS (0 V) から VDD (7 V) まで変わらなくても、TFT 1 1 にかかる V G S が 2 V から 5 V に変わる瞬間、OUT の出力が TFT 3 4 のしきい値以上変化すれば、TFT 3 4 がオンし、TFT 2 4 を強制的にオフすることができる。そうすると、TFT 1 1 は TFT 2 4 の影響を受けることなく、OUT の出力を VDD まであげることができる。なおかつ、OUT の立ち上がりは所望のタイミングで行われる。

また、TFT 2 4 の電流能力はしきい値にも起因するため、N 型 TFT のしきい値が低く、TFT 2 4 の電流能力が高いほど、同極性の TFT 3 4 のしきい値も低いと考えられ、OUT の変化が少なくてもオンする。反対に TFT 3 4 のしきい値が高くても、その場合には TFT 2 4 のしきい値も高く、保持する能力は弱いので、問題なく動作する。

【0 0 6 6】

以上をまとめると、上記第 5 の構成を有する本発明は保持と立ち上がりに大変有効であり、以下の (6) (7) の効果を奏する。

(6) 本発明では、クロックドインバータ 1 7 が有する N 型 TFT 2 4 の W と電流能力を大きく設定する。インバータ 1 6 とクロックドインバータ 1 7 で構成するループで VSS を保持する場合、TFT 2 4 の電流能力が大きいいため、安定して VSS を出力することができる。

(7) また、クロックドインバータ 1 0 の出力が VSS から VDD に変わる立ち上がりにおいて、クロックドインバータ 1 7 が有する N 型 TFT 2 4 の電流能力が大きいいため、立ち上がりせず、正確な動作を行わない場合が生じる。しかし、この立ち上がりのタイミングは、クロックドインバータ 1 0 が有する P 型 TFT 1 1 により決定され、クロックドインバータ 1 0 の V G S が変わる瞬間、OUT の出力が変化すると、N 型 TFT 2 4 はそのしきい値を超えたところでオフする。そうすると、OUT の出

力は正確に立ち上げることができる。

【0067】

また、図2 (C) (D) においても同様に、期間T2から期間T3に移り、CKがHレベルに変わってもOUTがVSSまで変化できずに、結果的にシフトレジスタが正確な動作を行わない場合がある。

そこで、保持期間においてもOUTの安定した波形を得、かつ期間T2からT3への立ち下がりに有効な構成を本発明の第6の構成として提案する。

【0068】

続いて、本発明の第6の構成について、図3 (C) を用いて説明する。図3 (C) には、第n段に配置されたシフトレジスタの1段分の回路図を示す。1段は直列に接続されたTFT11及び13を備えたクロックドインバータ10、TFT14a及び15aを備えた補償回路19a、TFT14b及び15bを備えた補償回路19b、インバータ16、直列に接続されたTFT23～25を備えたクロックドインバータ17、P型TFT37とアナログスイッチ35を備えた補償回路19dから構成される。シフトレジスタは、この1段の回路を縦続接続して構成され、各段でCK及びCKBが交互に入力される。図2 (C) との相違点は保持用クロックドインバータ17内のTFT22を削除し、TFT23のゲートに補償回路19dの出力が接続されている点、補償回路の入力にはインバータ16の出力の反転信号、つまりOUTが接続されている点、TFT37のソースにはVDDが接続されている点、アナログスイッチ35のソースにはCKが接続されている点である。

【0069】

TFT25のゲートにはクロック信号線が接続され、CKが入力される。TFT37のゲートにはクロックドインバータ10の出力 (OUT) が入力される。また、TFT23の電流能力は大きくなるよう設定されている。より詳しくは、TFT23の W_{23}/L (ゲート幅) / L (ゲート長) とTFT13の W_{13}/L は、 $W_{23}/L : W_{13}/L = x : y$ とすると、 $x=1$ 、 $y \geq 1$ に設定される。

【0070】

期間T1～T3における動作について図3 (B) のタイミングチャートに従って説明する。期間T1において、クロックドインバータ10からはVDDが出力さ

れる。

【0 0 7 1】

次いで、期間 T 2 における動作について説明する。クロックドインバータ 1 7 において、TFT 2 5 のゲートにはCKB（Hレベル、5 V）が入力され、オンになる。TFT 2 4 のゲートには、OUTの反転信号（VDD）が入力されてオフになる。TFT 2 4 のゲートにはOUT（VSS）が入力されてオフになる。TFT 2 3 のゲートにはアナログスイッチ 3 5 を介してCK（Lレベル、2 V）が入力されてオンになる。このとき、TFT 2 4 がオフし、TFT 2 3 がオンしているためVDDが出力される。

【0 0 7 2】

また、クロックドインバータ 1 0 において、TFT 1 3 は、オン又はオフである。仮に、TFT 1 3 がオンであったとしてもTFT 2 3 の電流能力は高いため、期間 T 2 では、安定してVDDが出力される。

【0 0 7 3】

そして、期間 T 2 から T 3 に移るにあたり、クロックドインバータ 1 0 の出力は、正確にVDDからVSSに切り替わることが望ましい。しかし、P型TFT 2 3 の電流能力が高いため、図 3（B）のタイミングチャート中の波形 1 7 7 に示すように、VDDからVSSへの切り替わりができず、シフトレジスタが正確な動作をおこなわない場合が生ずる。しかし、本発明では、上記のようなことが生じないように、以下の手段を講じる。

【0 0 7 4】

クロックドインバータ 1 0 では、期間 T 2 から T 3 に移るにあたり、その出力をVDD（0 V）からVSS（7 V）に切り替えようとする。しかし、クロックドインバータ 1 7 が有するP型TFT 2 3 の電流能力が大きいために、TFT 1 3 にかかるVGSが2 Vから5 Vに変わり、VSSをOUTに出力しようとするが、7 Vから0 Vまで下げられない場合がある。そうすると、インバータ 1 6 の出力も7 Vにならないため、保持用のクロックドインバータ 1 7 には0 Vが入り続け、TFT 2 3 とTFT 2 4 のオン、オフが入れ替わらずに、OUTにはVDD（7 V）が出力され続け、シフトレジスタが正確な動作を行わない。

【0 0 7 5】

しかし、本発明では、クロックドインバータ 1 0 の出力が VDD (7 V) から VSS (0 V) まで変わらなくても、TFT 1 3 にかかる V G S が 2 V から 5 V に変わる瞬間、OUT の出力が TFT 3 7 のしきい値以上変化すれば、TFT 3 7 がオンし、TFT 2 3 を強制的にオフすることができる。そうすると、TFT 1 3 は TFT 2 3 の影響を受けることなく、OUT の出力を VSS まで下げることができる。なおかつ、OUT の立ち下がりには所望のタイミングで行われる。

また、TFT 2 3 の電流能力はしきい値にも起因するため、P 型 TFT のしきい値が低く、TFT 2 3 の電流能力が高いほど、同極性の TFT 3 7 のしきい値も低いと考えられ、OUT の変化が少なくてもオンする。反対に TFT 3 7 のしきい値が高くても、その場合には TFT 2 3 のしきい値も高く、保持する能力は弱いので、問題なく動作する。

【 0 0 7 6 】

以上をまとめると、上記第 6 の構成を有する本発明は保持と立ち下がりに大変有効であり、以下の (8) (9) の効果を奏する。

(8) 本発明では、クロックドインバータ 1 7 が有する P 型 TFT 2 3 の W と電流能力を大きく設定する。インバータ 1 6 とクロックドインバータ 1 7 で構成するループで VDD を保持する場合、TFT 2 3 の電流能力が大きいので、安定して VDD を出力することができる。

(9) また、クロックドインバータ 1 0 の出力が VDD から VSS に変わる立ち下がりにおいて、クロックドインバータ 1 7 が有する P 型 TFT 2 3 の電流能力が大きいので、立ち下がらず、正確な動作を行わない場合が生じる。しかし、この立ち下がりのタイミングは、クロックドインバータ 1 0 が有する N 型 TFT 1 3 により決定され、クロックドインバータ 1 0 の V G S が変わる瞬間、OUT 出力が変化すると、P 型 TFT 2 3 はそのしきい値を超えたところでオフする。そうすると、OUT の出力を正確に立ち下げることができる。

【 0 0 7 7 】

(実施の形態 2)

図 1 ~ 3 を用いて上述した第 1 ~ 第 6 の構成は、自由に組み合わせて用いることができる。ここでは、組み合わせたときの一例について、図 6、7 を用いて説

明する。なお図中、信号Sとはスタートパルス又は $(n-1)$ 段に配置されたクロックドインバータ16の出力であり、信号SBは信号Sの反転信号に相当する。また2段前とは、 $(n-2)$ 段に配置されたクロックドインバータ10の出力に相当する。

【0078】

図6(A)は、第3の構成(図2(A))と第5の構成(図3(A))を組み合わせたときの回路図を示す。図6(A)には、第 n 段に配置されたシフトレジスタの1段分の回路図を示す。1段は直列に接続されたTFT71~73を備えたクロックドインバータ10、インバータ16、直列に接続されたTFT74、75を備えたクロックドインバータ17、直列に接続されたTFT76及び77、インバータ78及び79、TFT80、アナログスイッチ81から構成される。シフトレジスタは、この1段の回路を縦続接続して構成され、各段でCK及びCKBの一方が交互に入力される。

【0079】

図6(B)は、第2の構成(図1(C))、第4の構成(図2(C))と第6の構成(図3(C))を組み合わせたときの回路図を示す。図6(B)には、第 n 段に配置されたシフトレジスタの1段分の回路図を示す。1段は直列に接続されたTFT91~93を備えたクロックドインバータ10、インバータ16、直列に接続されたTFT94及び95を備えたクロックドインバータ17、直列に接続されたTFT96及び97、直列に接続されたTFT98及び99、インバータ120、121、P型TFT122、アナログスイッチ123から構成される。シフトレジスタは、この1段の回路を縦続接続して構成され、各段でCK及びCKBの一方が交互に入力される。

【0080】

図7(A)は、第4の構成(図2(C))と、第6の構成(図3(C))を組み合わせたときの回路図を示す。図7(A)には、第 n 段に配置されたシフトレジスタの1段分の回路図を示す。1段は直列に接続されたTFT131~133を備えたクロックドインバータ10、インバータ16、TFT134及び135を備えたクロックドインバータ17、直列に接続されたTFT136及び137、イン

バータ 138、139、P型TFT140、アナログスイッチ141から構成される。シフトレジスタは、この1段の回路を縦続接続して構成され、各段でCK及びCKBの一方が交互に入力される。

【0081】

図7(B)は、第1の構成(図1(A))、第3の構成(図2(A))と第5の構成(図3(A))を組み合わせたときの回路図を示す。図7(B)には、第n段に配置されたシフトレジスタの1段分の回路図を示す。1段は直列に接続されたTFT151～153を備えたクロックドインバータ10、インバータ16、直列に接続されたTFT154及び155を備えたクロックドインバータ17、直列に接続されたTFT156及び157、直列に接続された158及び159、インバータ160、161、N型TFT162、アナログスイッチ163から構成される。シフトレジスタは、この1段の回路を縦続接続して構成され、各段でCK及びCKBの一方が交互に入力される。

【0082】

なお上述した第1～第6の構成を組み合わせて用いる際には、動作に支障がなければ、必要のないTFTは削除してもよい。実際に、図6(A)、図7(B)の構成では、図3(A)におけるTFT31を削除し、図6(B)、図7(A)の構成では、図3(C)におけるTFT33を削除している。同様に、動作に支障がなければ必要に応じてTFTを追加してもよい。

【0083】

(実施の形態3)

本発明の実施の形態について、図10を用いて説明する。

【0084】

上述した図6(B)の回路図における、平面レイアウト図(上面図)を図10(A)に示す。また、実際に作製したパネルを光学顕微鏡で拡大した写真を図10(B)に示す。

【0085】

図10(A)(B)に図示した符号は図6(B)と対応しているので、詳しい説明は省略する。なお図中、P型TFT16aとN型TFT16bは、インバータ16を

構成する。また、P型TFT123aとN型TFT123bはアナログスイッチ123を構成する。

【0086】

図10中、TFT94のWは大きく設定されている。仮に、TFT94と直列に接続させた同じサイズのTFTの配置が必要な場合には、レイアウト面積が拡大してしまう。しかし、本発明では、Wを大きく設定したTFTはTFT94の1つだけを配置すればよいため、レイアウト面積の拡大を抑制することができる。

【0087】

(実施の形態4)

上記とは異なる本発明の実施の形態について、図4、5を用いて説明する。

【0088】

本発明のNANDについて、図4を用いて説明する。図4(A)には、NANDの回路図を示し、並列に接続されたP型TFT51、52、N型TFT54、直列に接続されたP型TFT55及びN型TFT56を備えた補償回路19を有する。TFT51のゲートにはVin1、TFT52のゲート及びTFT55のソースにはVin2、TFT55及び56のゲートにはVin1の反転信号（ここではVinB1と表記）が入力される。

【0089】

動作について、図4(B)のタイミングチャートに従って説明する。期間T1において、Vin1はHレベル、VinB1はLレベル、Vin2はLレベルであるので、TFT51はオフ、TFT52はオン、TFT55はオン、TFT56はオフする。またTFT55を介して、Vin2(Lレベル)がTFT54に入力され、該TFT54はオフする。そして出力はVDDをとる。期間T2において、Vin1はHレベル、VinB1はLレベル、Vin2はHレベルであるので、TFT51はオフ、TFT52はオフ、TFT55はオン、TFT56はオフする。またTFT55を介して、VinB1(Lレベル)がTFT54に入力され、TFT54はオンする。そして出力はVSSをとる。

【0090】

期間T3において、Vin1はLレベル、VinB1はHレベル、Vin2はHレベルであるので、TFT51はオン、TFT52はオフ、TFT55はオフ、TFT56はオンする。またTFT56を介して、VSSがTFT54に入力され、TFT54はオフする。そして出力は

VDDをとる。期間T4において、Vin1はLレベル、VinB1はHレベル、Vin2はLレベルであるので、TFT51はオン、TFT52はオン、TFT55はオフ、TFT56はオンする。またTFT56を介して、VSSがTFT54にされ、TFT54はオフする。そして出力はVDDをとる。

【0091】

次いで、上記構成において、TFT55の代わりにアナログスイッチ57を配置した場合について、図4(C)に示す。図4(C)の構成は、図4(D)のタイミングチャートに従って動作する。なお図4(C)の構成とその動作の説明は、上述した図4(A)の構成とその動作に準ずるので、ここでは省略する。

【0092】

次いで、本発明のNORについて、図5を用いて説明する。図5(A)には、NORの回路図を示し、並列に接続されたN型TFT61、62、P型TFT64、直列に接続されたP型TFT65及びN型TFT66を備えた補償回路19を有する。TFT61のゲートにはVin1、TFT62のゲート及びTFT66のソースにはVin2、TFT65及び66のゲートにはVin1の反転信号（ここではVinB1と表記）がされる。

【0093】

動作について、図5(B)のタイミングチャートに従って説明する。期間T1において、Vin1はHレベル、VinB1はLレベル、Vin2はLレベルであるので、TFT61はオフ、TFT62はオン、TFT65はオフ、TFT66はオンする。またTFT66を介して、Vin2(Hレベル)がTFT64にされ、該TFT64はオフする。そして出力はVSSをとる。期間T2において、Vin1はLレベル、VinB1はHレベル、Vin2はLレベルであるので、TFT61はオフ、TFT62はオフ、TFT65はオフ、TFT66はオンする。またTFT66を介して、Vin2(Lレベル)がTFT64にされ、該TFT64はオンする。そして出力はVDDをとる。

【0094】

期間T3において、Vin1はHレベル、VinB1はLレベル、Vin2はLレベルであるので、TFT61はオン、TFT62はオフ、TFT65はオン、TFT66はオフする。またTFT65を介して、VDDがTFT64にされ、該TFT64はオフする。そして出力はVSSをとる。期間T4において、Vin1はHレベル、VinB1はLレベル、Vin2

はHレベルであるので、TFT 6 1はオン、TFT 6 2はオン、TFT 6 5はオン、TFT 6 6はオフする。またTFT 6 5を介して、VDDがTFT 6 4に inputs され、該TFT 6 4はオフする。そして出力はVSSをとる。

【0095】

次いで、上記構成において、TFT 6 6の代わりにアナログスイッチ 6 7を配置した場合について、図 5 (C) を用いて説明する。図 5 (C) の構成は、図 5 (D) のタイミングチャートに従って動作する。なお図 5 (C) の構成とその動作の説明は、上述した図 5 (A) の構成とその動作に準ずるので、ここでは省略する。

【0096】

上記図 4 (A) 又は図 4 (C) の構成を有する本発明のNAND、上記図 5 (A) 又は図 5 (C) の構成を有する本発明のNORは、以下の(12)の有利な効果を奏する。

(12) 通常、NAND、NORは、直列に接続された2つのN型TFTと、直列に接続された2つのP型TFTの合わせて4つのTFTにより構成される。そして、従来では、オン電流を稼ぐ関係から、前記直列に接続された2つのTFTのゲート幅(W)は大きく設定されていた。そのため、そのゲートを負荷とするTFTのゲート幅も大きく設定する必要が生じ、結果的に全体として負荷が大きく、高周波動作の妨げとなっていた。しかしながら、本発明は、ダブルゲートのTFT(直列に接続された2つのTFT)をシングルゲートのTFTに変えることができる。例えば、図 4 (A) の構成では、従来直列に接続された2つのN型TFTの配置が必要であったが、本発明では1つのN型TFT 1 3により構成される。その結果、本発明では、TFTのゲート幅を大きく設定する必要はなく、またTFTのサイズを小さくすることができるため、高集積化が可能となる。さらに、そのゲート(ゲート容量)を負荷とする素子の負担を軽減し、全体としても負荷が小さくなるため、高周波動作が可能となる。

【0097】

図 4、5 では、NAND、NORについて説明したが、上記以外にも本発明を適用することができる。但し、少なくとも2つの信号を用いる回路に本発明を適用する

ことが好ましい。

【0098】

(実施の形態5)

本発明の実施の形態について、図8を用いて説明する。

【0099】

図8(A)は表示装置の外観を示し、該表示装置は、基板107上に($x \times y$)個の画素101がマトリクス状に配置された画素部102を有する。画素部102の周辺には、信号線駆動回路103、第1の走査線駆動回路104及び第2の走査線駆動回路105を有する。信号線駆動回路103、第1及び第2の走査線駆動回路104、105には、FPC106を介して外部より信号が供給される。なお信号線駆動回路103、第1及び第2の走査線駆動回路104、105は、画素部102が形成された基板107の外部に配置してもよい。また図8では、1つの信号線駆動回路と、2つの走査線駆動回路が設けられているが、これらの個数は特に限定されない。これらの個数は、画素101の構成に応じて、任意に設定することが出来る。なお表示装置とは、画素部及び駆動回路を基板とカバー材との間に封入したパネル、前記パネルにIC等を実装したモジュール、ディスプレイなどを範疇に含む。

【0100】

図8(B)は信号線駆動回路103の構成の一例を示し、該信号線駆動回路103はシフトレジスタ111、第1のラッチ回路112、第2のラッチ回路113を有する。図8(C)は、第1の走査線駆動回路104の構成の一例を示し、該第1の走査線駆動回路104はシフトレジスタ114、バッファ115を有する。シフトレジスタ111、114には、図1~3、6、7に示した構成を自由に用いることができる。また第1のラッチ回路112、第2のラッチ回路113及びバッファ115には、図4、5に示した構成、またそれ以外にも本発明を応用した回路を自由に用いることが出来る。

【0101】

本実施の形態は、実施の形態1~4と自由に組み合わせることができる。

【0102】

(実施の形態 6)

本発明が適用される電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的には Digital Versatile Disc (DVD) 等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置）などが挙げられる。それらの電子機器の具体例を図 9 に示す。

【0103】

図 9 (A) は発光装置であり、筐体 2001、支持台 2002、表示部 2003、スピーカー部 2004、ビデオ入力端子 2005 等を含む。本発明は表示部 2003 の駆動回路に適用することができる。また本発明により、図 9 (A) に示す発光装置が完成される。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光装置は、パソコン用、TV 放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0104】

図 9 (B) はデジタルスチルカメラであり、本体 2101、表示部 2102、受像部 2103、操作キー 2104、外部接続ポート 2105、シャッター 2106 等を含む。本発明は、表示部 2102 の駆動回路に適用することができる。また本発明により、図 9 (B) に示すデジタルスチルカメラが完成される。

【0105】

図 9 (C) はノート型パーソナルコンピュータであり、本体 2201、筐体 2202、表示部 2203、キーボード 2204、外部接続ポート 2205、ポインティングマウス 2206 等を含む。本発明は、表示部 2203 の駆動回路に適用することができる。また本発明により、図 9 (C) に示す発光装置が完成される。

【0106】

図 9 (D) はモバイルコンピュータであり、本体 2 3 0 1、表示部 2 3 0 2、スイッチ 2 3 0 3、操作キー 2 3 0 4、赤外線ポート 2 3 0 5 等を含む。本発明は、表示部 2 3 0 2 の駆動回路に適用することができる。また本発明により、図 9 (D) に示すモバイルコンピュータが完成される。

【0 1 0 7】

図 9 (E) は記録媒体を備えた携帯型の画像再生装置（具体的には DVD 再生装置）であり、本体 2 4 0 1、筐体 2 4 0 2、表示部 A 2 4 0 3、表示部 B 2 4 0 4、記録媒体（DVD 等）読み込み部 2 4 0 5、操作キー 2 4 0 6、スピーカー部 2 4 0 7 等を含む。表示部 A 2 4 0 3 は主として画像情報を表示し、表示部 B 2 4 0 4 は主として文字情報を表示するが、本発明は表示部 A、B 2 4 0 3、2 4 0 4 の駆動回路に適用することができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。また本発明により図 9 (E) に示す画像表示装置が完成される。

【0 1 0 8】

図 9 (F) はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体 2 5 0 1、表示部 2 5 0 2、アーム部 2 5 0 3 を含む。本発明は、表示部 2 5 0 2 の駆動回路に適用することができる。また本発明により、図 9 (F) に示すゴーグル型ディスプレイが完成される。

【0 1 0 9】

図 9 (G) はビデオカメラであり、本体 2 6 0 1、表示部 2 6 0 2、筐体 2 6 0 3、外部接続ポート 2 6 0 4、リモコン受信部 2 6 0 5、受像部 2 6 0 6、バッテリー 2 6 0 7、音声入力部 2 6 0 8、操作キー 2 6 0 9 等を含む。本発明は、表示部 2 6 0 2 の駆動回路に適用することができる。また本発明により、図 9 (G) に示すビデオカメラが完成される。

【0 1 1 0】

図 9 (H) は携帯電話であり、本体 2 7 0 1、筐体 2 7 0 2、表示部 2 7 0 3、音声入力部 2 7 0 4、音声出力部 2 7 0 5、操作キー 2 7 0 6、外部接続ポート 2 7 0 7、アンテナ 2 7 0 8 等を含む。本発明は、表示部 2 7 0 3 の駆動回路に適用することができる。なお、表示部 2 7 0 3 は黒色の背景に白色の文字を表

示することで携帯電話の消費電流を抑えることができる。また本発明により、図 9 (H) に示す携帯電話が完成される。

【0 1 1 1】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施の形態の電子機器には、実施の形態 1 ～ 5 に示したいずれの構成を用いても良い。

【0 1 1 2】

【発明の効果】

第 1 又は第 2 の構成を有する本発明は、2 段前の信号を用いることで、T F T を所望のタイミングでオンさせることができる。

【0 1 1 3】

第 3 又は第 4 の構成を有する本発明は、補償回路の入力端子に複数のインバータを接続させることで、補償回路が有する T F T のしきい値電圧が所望の値以下であっても、該 T F T がオンするタイミングを遅延させ、リーク電流が流れるタイミングを遅延させることができる。また補償回路が有する T F T のしきい値電圧が所望の値以上の場合には、リーク電流の発生を抑制することができる。

【0 1 1 4】

第 5 又は第 6 の構成を有する本発明では、クロックドインバータが有する T F T の W と電流能力を大きく設定することで、正確に保持を行い、また立ち下がり時又は立ち上がり時に鈍りのない安定した波形の信号を供給することができる。

【0 1 1 5】

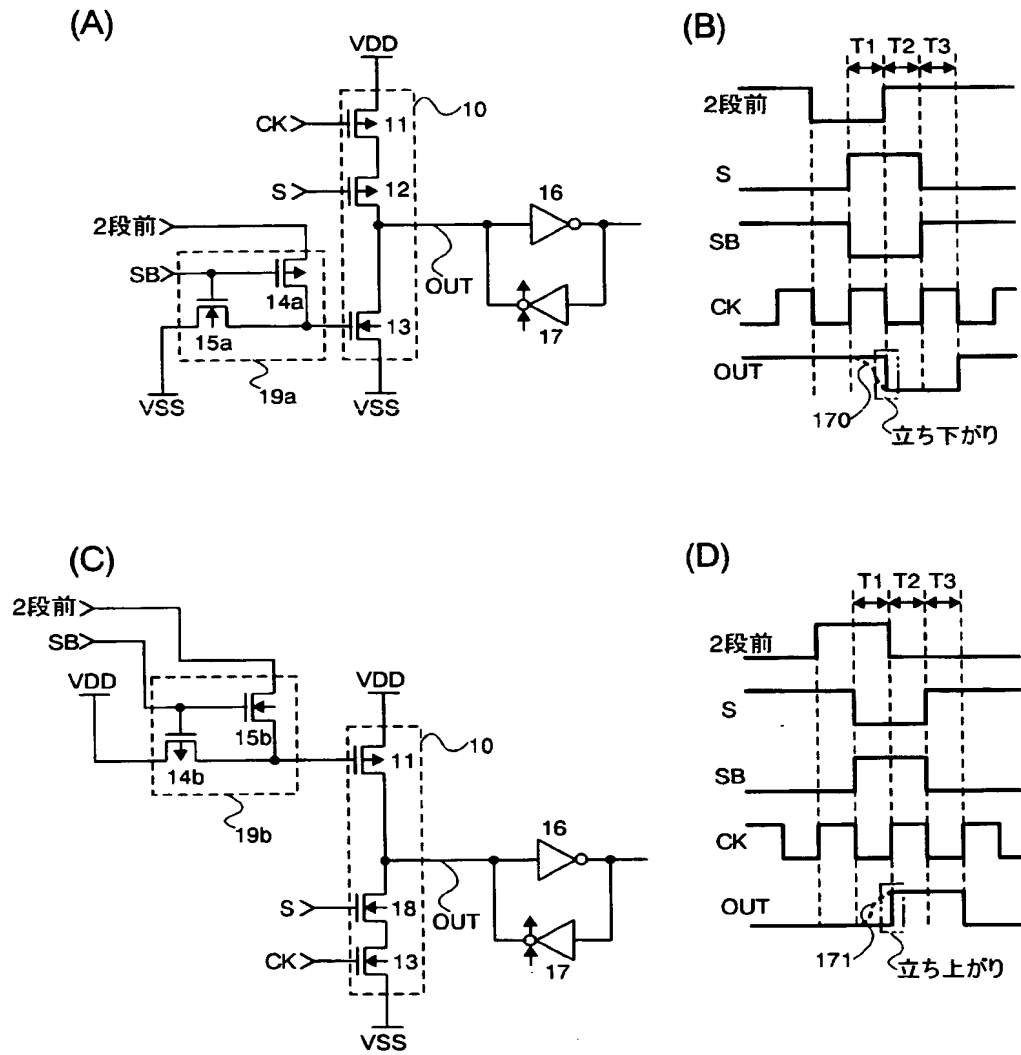
上記構成を有する本発明は、ダブルゲートの T F T (直列に接続された 2 つの T F T) をシングルゲートの T F T に変えることができる。その結果、T F T のゲート幅を大きく設定する必要はなく、また T F T のサイズを小さくすることができるため、高集積化が可能となる。さらに、そのゲート (ゲート容量) を負荷とする素子の負担を軽減し、全体としても負荷が小さくなるため、高周波動作が可能となる。また、構成する T F T の電流能力を高くすることができる。さらに、本発明は、T F T のしきい値バラツキにも強く、約 3 V の振幅の信号をそのまま直に用いても、低電圧で正確に動作させることができる。

【図面の簡単な説明】

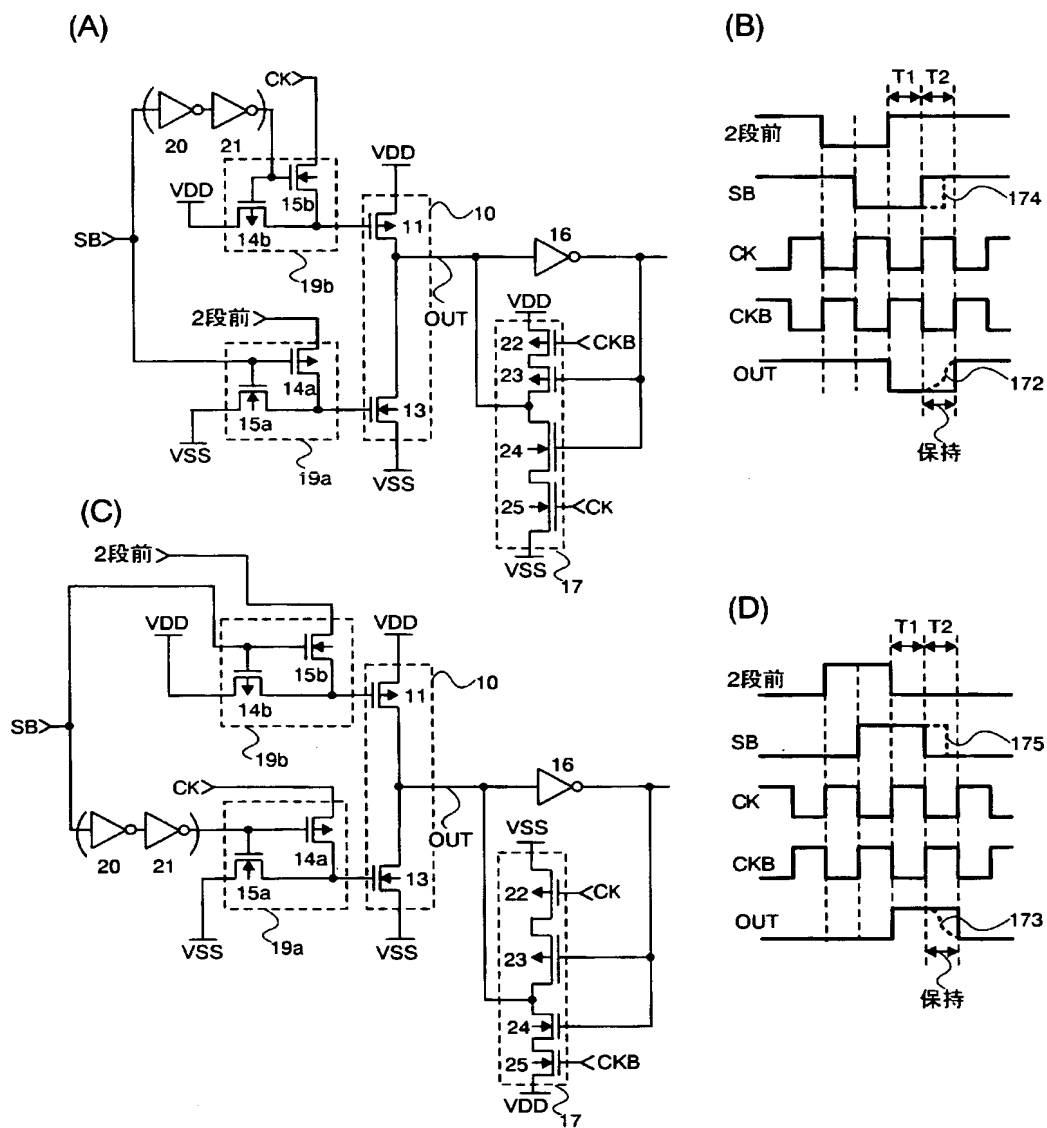
- 【図 1】** シフトレジスタの 1 段分の回路図。
- 【図 2】** シフトレジスタの 1 段分の回路図。
- 【図 3】** シフトレジスタの 1 段分の回路図。
- 【図 4】** NAND の回路図。
- 【図 5】** NOR の回路図。
- 【図 6】** シフトレジスタの 1 段分の回路図。
- 【図 7】** シフトレジスタの 1 段分の回路図。
- 【図 8】** パネルの図。
- 【図 9】** 電子機器の図。
- 【図 1 0】** マスクレイアウト図及び上面写真。
- 【図 1 1】** クロックドインバータ、NAND、NOR の回路図。

【書類名】 図面

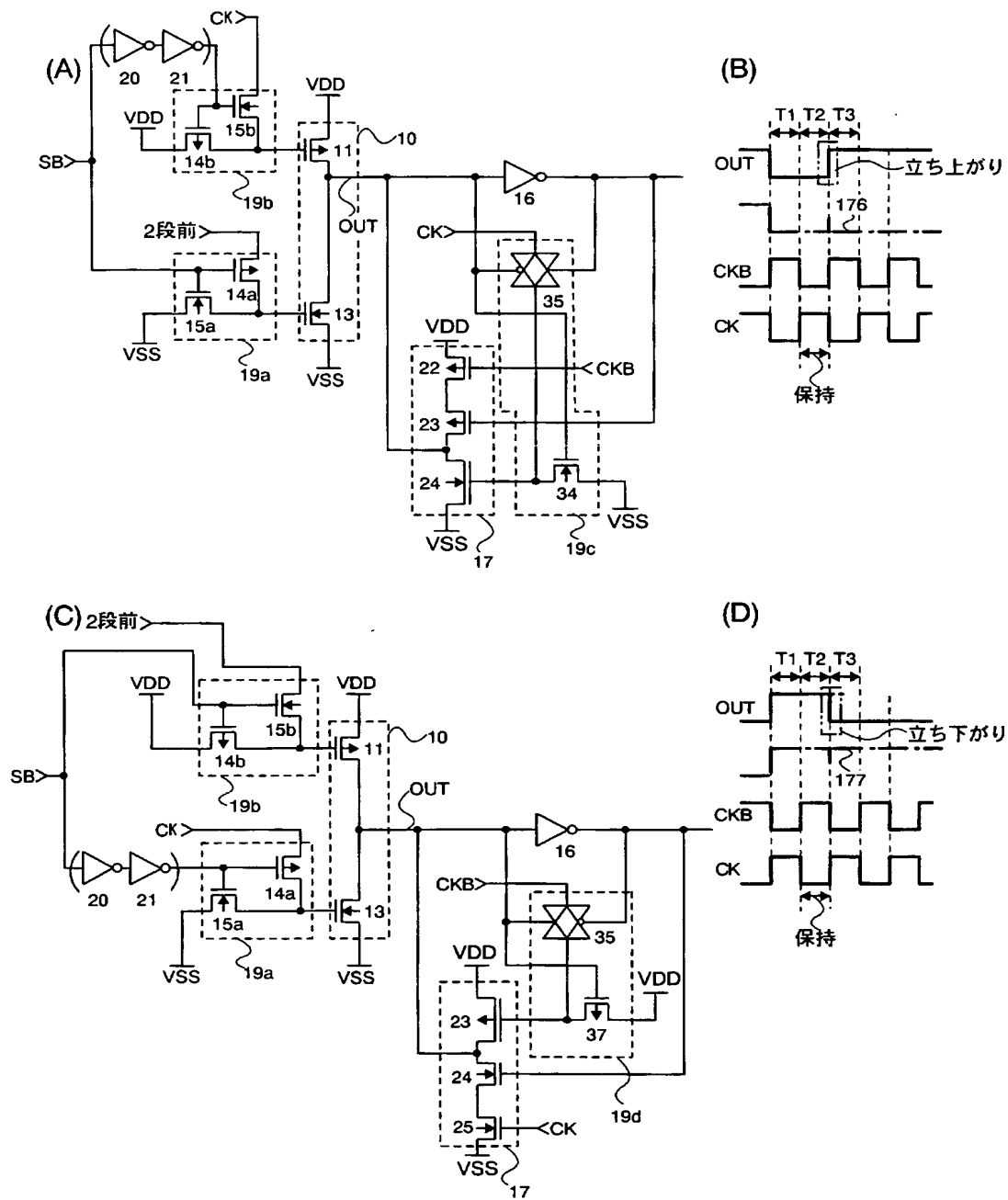
【図 1】



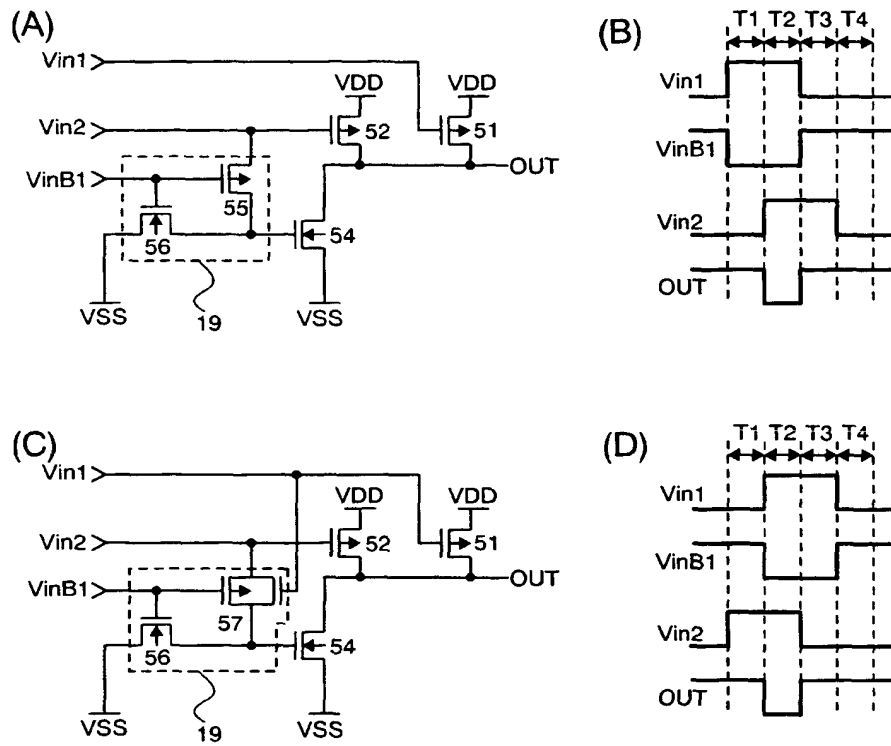
【図 2】



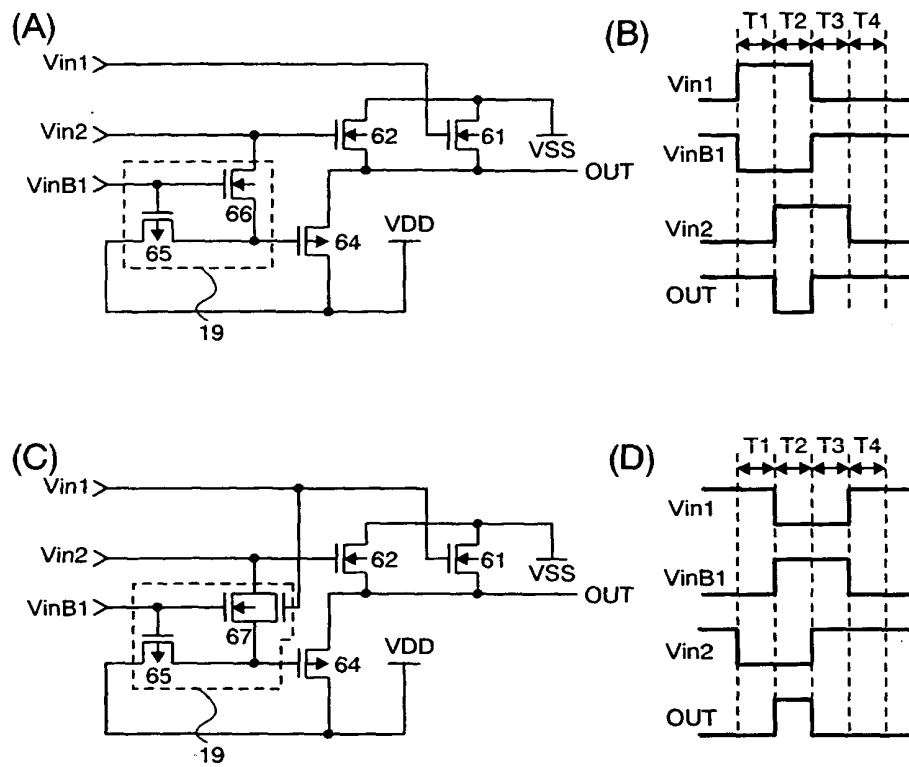
【図 3】



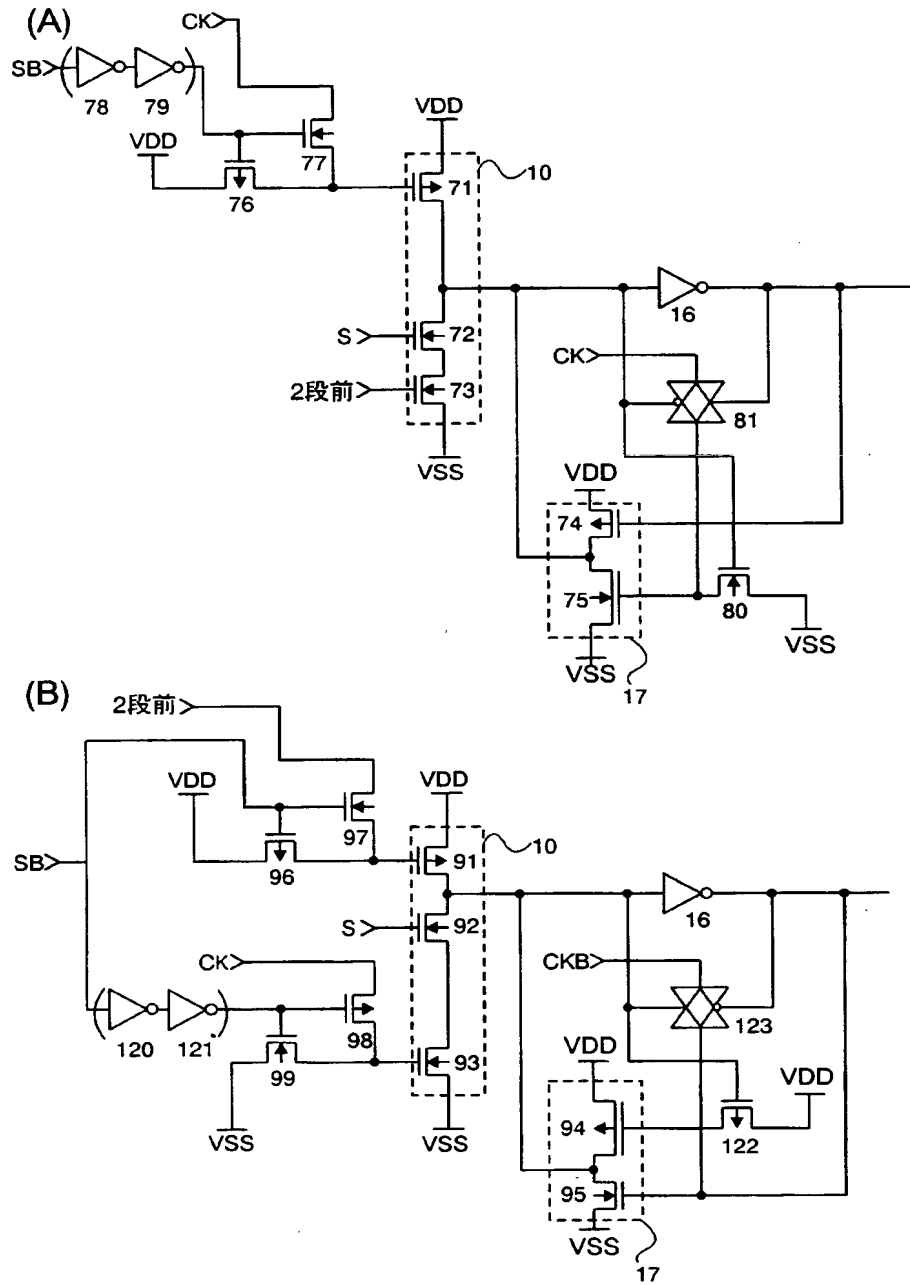
【図 4】



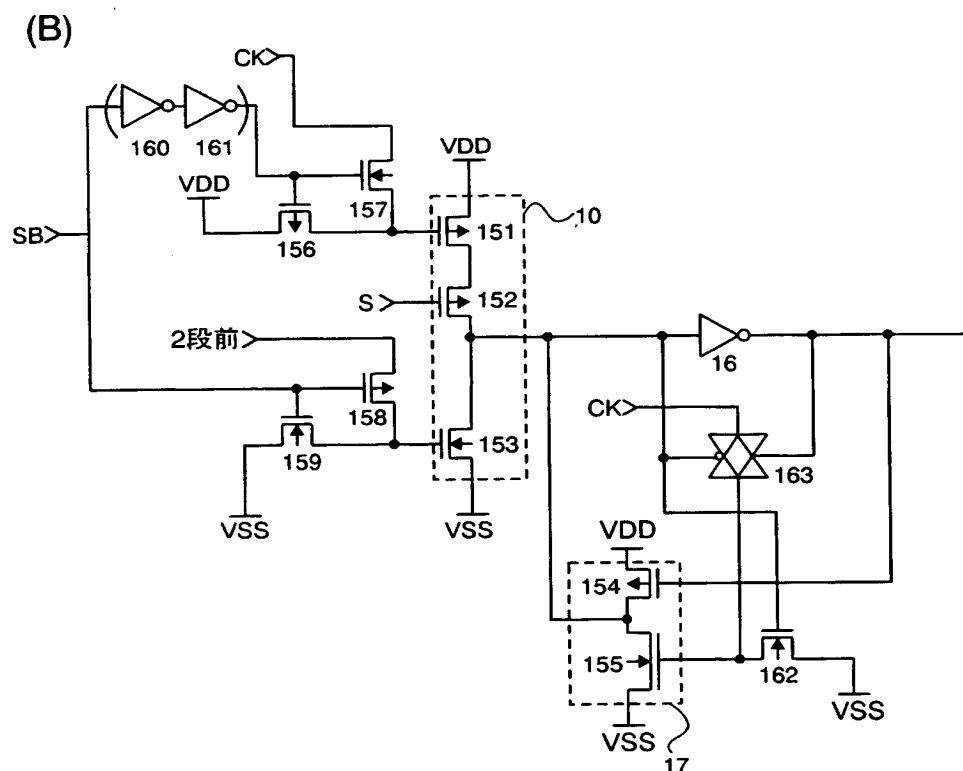
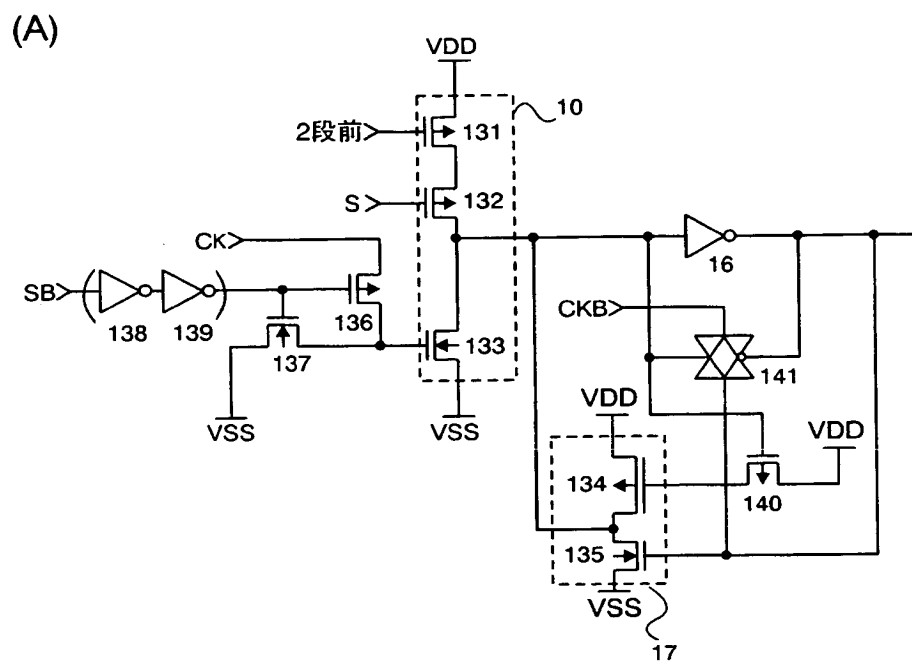
【図 5】



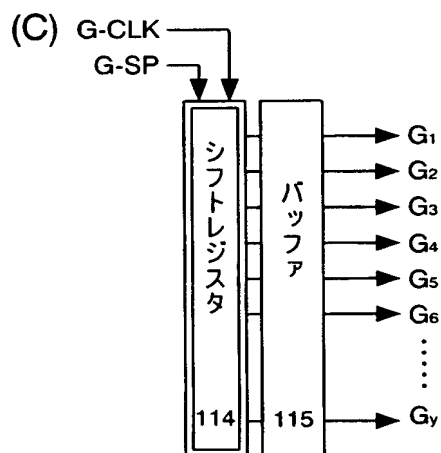
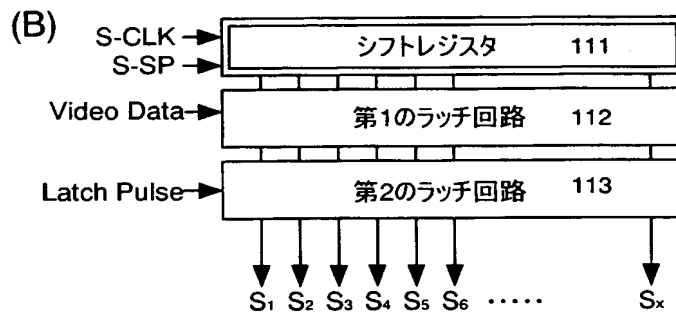
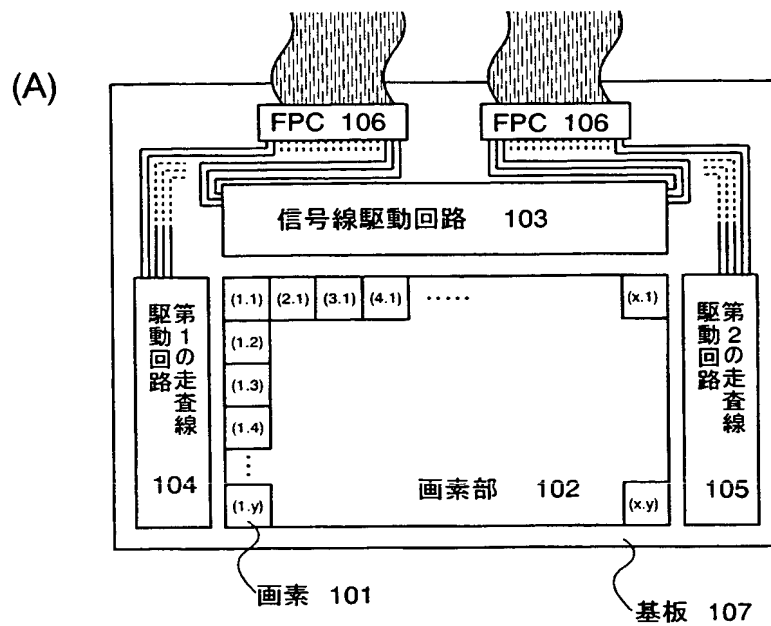
【図 6】



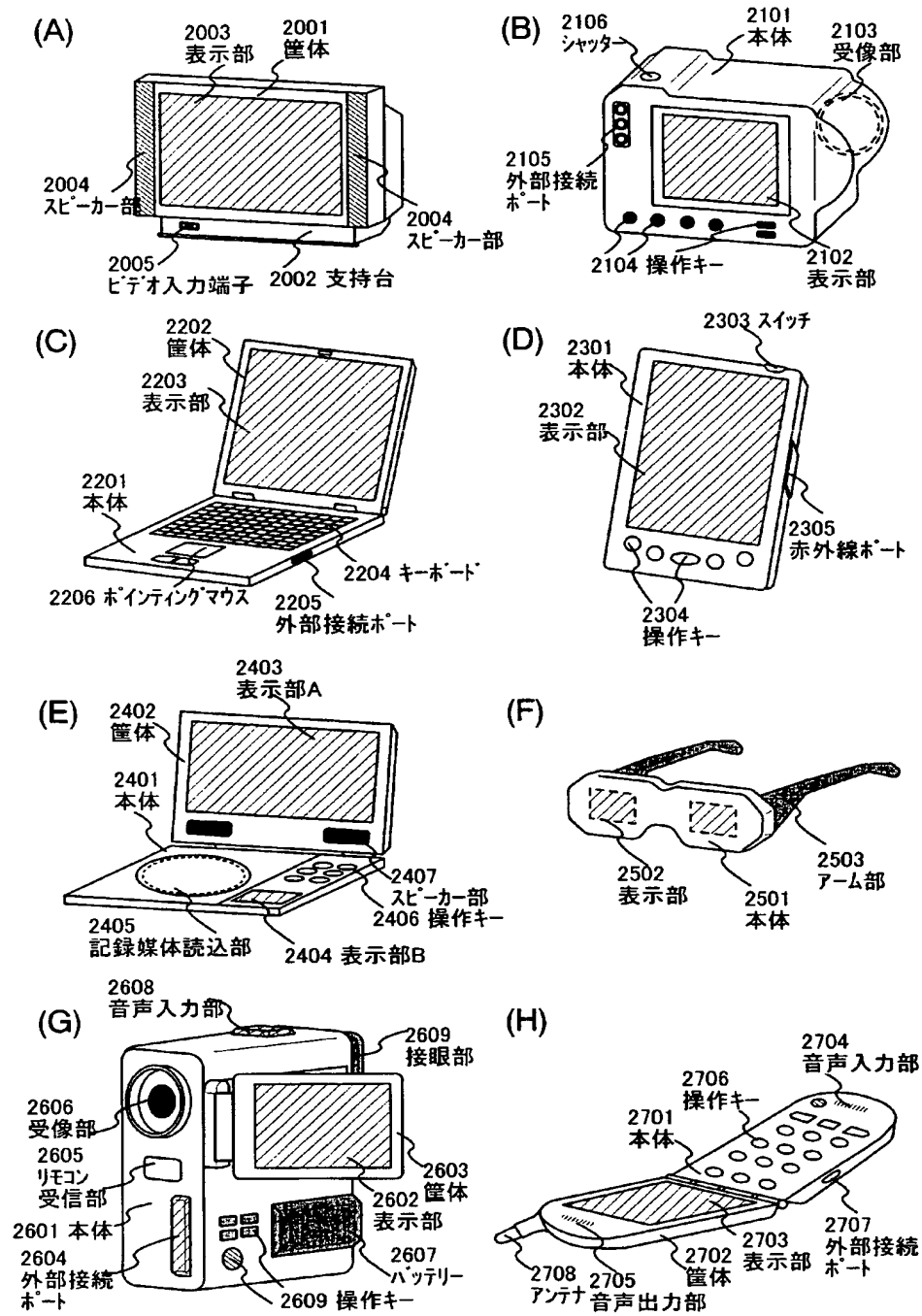
【圖 7】



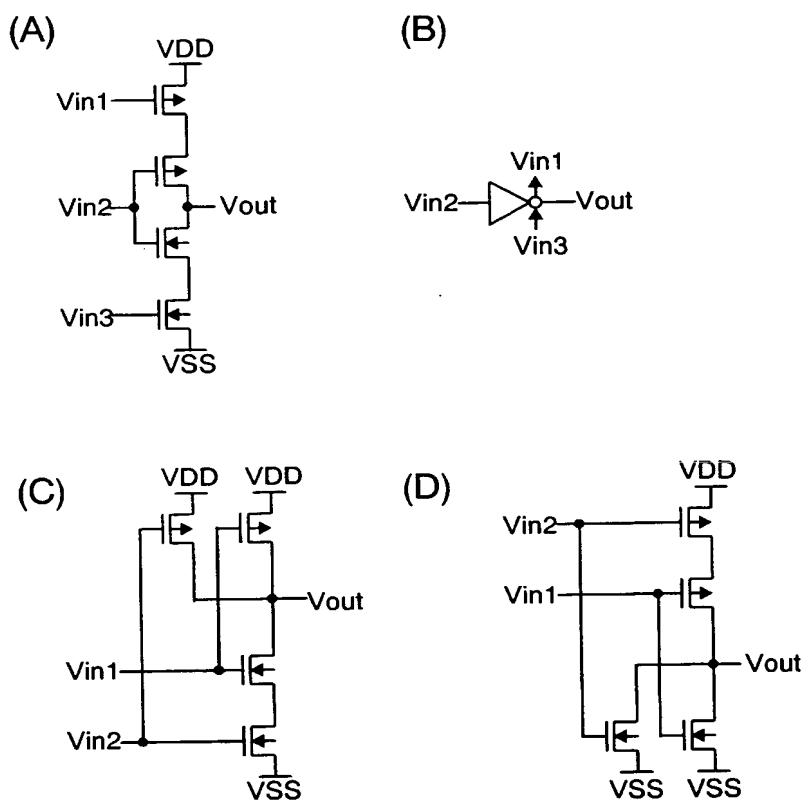
【図 8】



【図 9】



【図 11】




【書類名】 要約書

【要約】

【課題】 トランジスタは、作製工程や使用する基板の相違によって生じるゲート長及びゲート幅並びにゲート絶縁膜の膜厚バラツキなどに起因して、そのしきい値電圧にバラツキが生じる。

【解決手段】 本発明は、直列に接続された第 1 及び第 2 トランジスタを有する電気回路において、直列に接続された第 3 及び第 4 トランジスタで構成される補償回路を有する。前記補償回路の出力端子は前記第 1 トランジスタのゲートに接続され、前記第 1 及び前記第 4 トランジスタのソースは電氣的に高電位電源に接続され、前記第 2 トランジスタのソースは電氣的に低電位電源に接続される。また、前記第 3 トランジスタのソースに入力される信号の振幅は電源電圧の幅よりも小さく、前記第 1 及び前記第 4 トランジスタは P 型トランジスタであり、前記第 2 及び前記第 3 トランジスタは N 型トランジスタであることを特徴とする。

【選択図】 図 6



特願 2 0 0 2 - 2 7 8 7 2 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 5 3 8 7 8]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所